

51/9/14 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) JPO & JAPIO. All rts. reserv.

02901867
SEMICONDUCTOR DEVICE

AKA JP 1199467

PUB. NO.: 01-199467 [JP 1199467 A]
PUBLISHED: August 10, 1989 (19890810)
INVENTOR(s): MIYAGAWA RYUHEI
APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 63-024393 [JP 8824393]
FILED: February 04, 1988 (19880204)
INTL CLASS: [4] H01L-029/78; H01L-027/08
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: E, Section No. 843, Vol. 13, No. 496, Pg. 87,
November 09, 1989 (19891109)

ABSTRACT

PURPOSE: To improve a MOSIC in terms of its breakdown strength against statics and voltage surges of a value higher than rated by a method wherein the distance is set at a specified value or more between contact holes provided in drain and source diffusion regions and the edges of the diffusion regions in an input/output transistor with its channel length not longer than a specified value.

CONSTITUTION: In a first conductivity type region 10 on a semiconductor substrate, a second conductivity type source region 11 and drain region 12 are parallelly formed with a distance not more than 1.8 μ m between them and, through two or more electrode-connecting contact holes 14 and 13 provided in the drain region 12 and source region 11, the drain region 12 is connected to an input/output terminal and the source region 11 to a potential same as that of the first conductivity type region. In a semiconductor device of such a design, the shortest distance L1 between the edge of the drain region 12 facing the source region 11 and the contact hole 14 provided in the drain region 12 and the shortest distance L2 between the edge of the source region 11 facing the drain region 12 and the contact hole 13 provided in the source region 11 are both set at a value not less than 3 μ m.

⑫ 公開特許公報(A)

平1-199467

⑤ Int. Cl.⁴H 01 L 29/78
27/08

識別記号

3 0 1
1 0 2

庁内整理番号

K-8422-5F
F-7735-5F

④ 公開 平成1年(1989)8月10日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭63-24393

⑱ 出 願 昭63(1988)2月4日

⑲ 発 明 者 宮 川 隆 平 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内⑳ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

㉑ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板上的第1導電型領域中に、第2導電型のソース領域とドレイン領域が、1.8 μm 以下の距離をおいて平行に形成され、前記ドレイン領域並びにソース領域中に設けられた、少なくとも二つ以上の電極接続用コンタクト孔を介して、該ドレイン領域は入出力端子に、また該ソース領域は第一導電型領域と同じ電位に接続されている半導体装置において、上記ソース領域に面したドレイン領域端部と、該ドレイン領域中に形成されたコンタクト孔との最短距離、並びに上記ドレイン領域に面したソース領域端部と該ソース領域中に形成されたコンタクト孔との最短距離がともに3 μm 以上であることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置、特にMOS型電界効果トランジスタの集積装置「以下MOSICと呼ぶ。」に関する。本発明の目的は、MOSICの静電気や定格以上のサージ電圧による破壊に対する耐性を改善することにある。

〔従来の技術〕

MOSICの静電気などの過大サージ電圧による破壊現象は、その開発当初からの問題であったため、これまでに各種の対策が提案され改良の手が加えられてきた。従来のMOSICの出力端子における代表的な静電気保護回路は、第2図に示すように、ボンディングパッド1に接続された配線が、保護抵抗2、クランプダイオード3、4を経たのち、出力トランジスタのドレイン部5に接続される。あるいは第3図における出力トランジスタのチャンネル幅Wが長く、またドレイン領域22が大きな面積を有する場合は、ボンディングパッド1とドレイン領域5が直接接続され、ドレイ

ン領域22と半導体基板20で形成される出力トランジスタのドレイン寄生容量6と、寄生クラップダイオード7の電圧分割及び電圧制限により静電気からトランジスタを保護するのが一般的である。

(発明が解決しようとする課題)

しかしながら、第3図に示すように、MOSICの縮小化にともない、出力トランジスタのチャンネル部26の長さLが短くなるとともにドレイン拡散層22の深さDも浅くなると、さらにまた高密度集積化のために、チャンネル端部とドレインコンタクト孔24もしくはソースコンタクト孔23までの距離L1、L2が狭まると、ドレイン拡散層22と半導体基板20で形成される、第2図におけるダイオード7の逆方向極性に流せられる電流容量「以下逆方向電流と呼ぶ。」が減少し、接合破壊が生じやすくなる。また高電圧が加わった瞬間、ドレイン拡散層22のチャンネル26側端部でのアバランシェ降伏により、基板内20に大量のホットエレクトロンが誘起し、これがチャンネル

26上のゲート絶縁膜25に流れ込んで、トランジスタの特性劣化ひいてはゲート絶縁膜破壊を起こすという問題が顕在化してきた。

それゆえ本発明では、1.8 μ m以下のチャンネル幅を有する入出力トランジスタに対し、各種の静電気による破壊実験結果を検討し、ドレイン、ソース拡散層に設けられたコンタクト孔と、該拡散層端部との距離を適切化し、MOSICの破壊耐量を向上させることを目的とする。

(課題を解決するための手段)

半導体基板上の第1導電型領域中に、第2導電型のソース領域とドレイン領域が、1.8 μ m以下の距離をおいて平行に形成され、前記ドレイン領域並びにソース領域中に設けられた、少なくとも二つ以上の電極接続用コンタクト孔を介して、該ドレイン領域は入出力端子に、また該ソース領域は第一導電型領域と同じ電位に接続されているMOS型電界効果半導体装置において、上記ソース領域に面したドレイン領域端部と、該ドレイン領域中に形成されたコンタクト孔との最短距離、

並びに上記ドレイン領域に面したソース領域端部と該ソース領域中に形成されたコンタクト孔との最短距離がともに3 μ m以上であることを特徴とする。

(実施例)

以下に本発明の実施例であるNMOSICについて図面を参照しながら述べる。

第1図(a)、(b)に示すように、P型基板10にNチャンネルトランジスタのN型ソース領域11とドレイン領域12を作り、該ソース領域はコンタクト孔13で、また該ドレイン領域はコンタクト孔14でそれぞれ電源配線17とボンディングパッドにつながる出力配線18に接続される。ここで前記コンタクト孔14とドレイン領域端部との距離L1及び前記コンタクト孔13とソース領域端部との距離L2を3 μ m以上離すようにする。実際の実施例におけるトランジスタのチャンネル長16は1.5 μ m、L1とL2はともに4 μ mである。この構造を有するトランジスタに、P型基板とドレイン領域からなるPN接合の逆極性

となるようなサージ電圧が加わった場合、ダイオードの逆特性上、アバランシェ降伏点はまずPN接合部の一点、とくにドレイン領域のチャンネル側端部に集中するが、コンタクト孔とドレイン領域端部との間に分布する拡散抵抗により、PN接合の逆方向電流値は負帰還を受け電流制限される。またドレイン拡散層端部とゲート絶縁膜15との間の電界強度も低減されるため、ゲート絶縁膜に流れ込むホットエレクトロンの発生も抑制されゲート絶縁膜の破壊が起こりにくくなる。

(発明の効果)

本発明のNMOSTランジスタと従来のコンタクト孔とドレイン端との距離を考慮しないNMOSTランジスタを、日本電子機械工業会規格(EIAJ)の方法20に記述された静電気試験により比較してみると、チャンネル長1.5 μ m、チャンネル幅300 μ mを有する従来のものは250ボルトで破壊するのに対し、同じトランジスタサイズで本発明のものは600ボルト以上の耐量を持っていた。

以上のように本発明は、MOSICの微細化を進める上で遭遇する高電圧や静電気による接合破壊、絶縁膜破壊を防止する上で、十分な効果を期待できる。

4. 図面の簡単な説明

第1図(a)、(b)は本発明による破壊保護機構を示す平面図(a)、断面図(b)である。

第2図は従来のCMOSICの出力端子における静電気保護回路図である。

第3図は従来のMOSICの構造を説明するための斜視図。

- 13、14・・・コンタクト孔
- 15・・・ゲート絶縁膜
- 16・・・チャネル領域
- 17、18・・・配線層

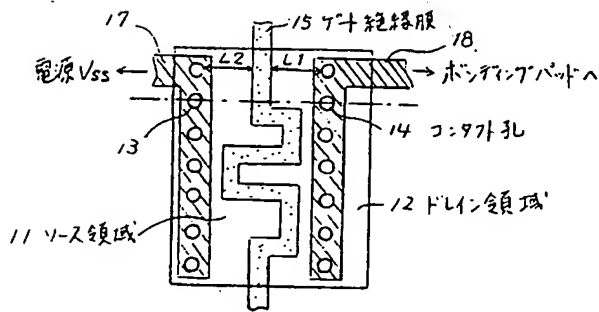
以上

出願人 セイコーエプソン株式会社

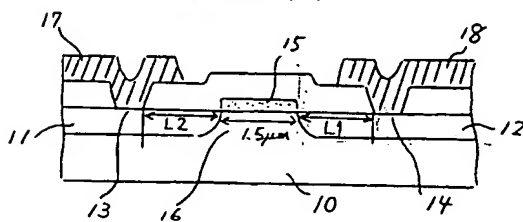
代理人 弁理士 最上 務(他1名)



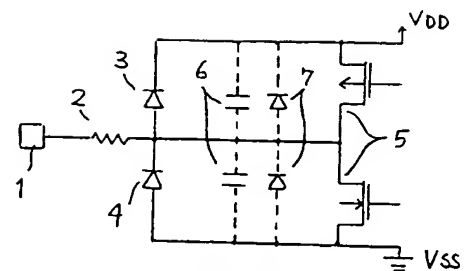
- 6・・・ドレイン領域が形成する寄生容量
- 7・・・ドレイン領域が形成する寄生ダイオード
- 10・・・P型半導体基板
- 11・・・N型ソース領域
- 12・・・N型ドレイン領域



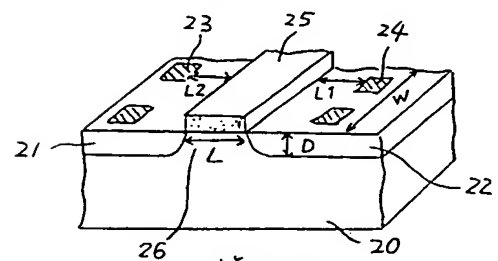
第1図(a)



第1図(b)



第2図



第3図